

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

THIS PAGE BLANK (USPTO)

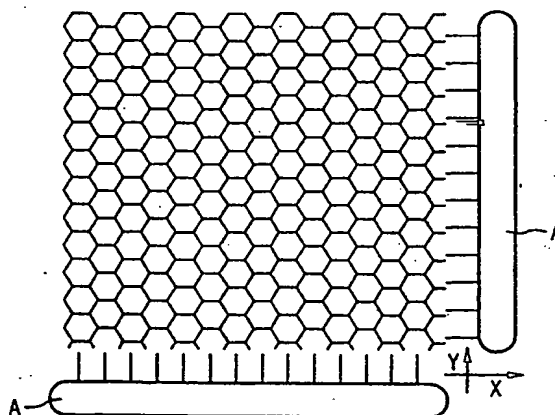
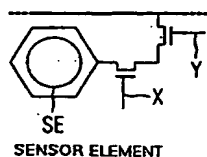
PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ : G06K 9/56		A1	(11) Internationale Veröffentlichungsnummer: WO 99/33018
		(43) Internationales Veröffentlichungsdatum:	1. Juli 1999 (01.07.99)
(21) Internationales Aktenzeichen: PCT/DE98/03660 (22) Internationales Anmeldedatum: 14. Dezember 1998 (14.12.98) (30) Prioritätsdaten: 197 56 561.1 18. Dezember 1997 (18.12.97) DE (71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, D-80333 München (DE). (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): JUNG, Stefan [DE/DE]; Westermühlstrasse 1a, D-80469 München (DE). THEWES, Roland [DE/DE]; Jägerheimstrasse 7, D-82194 Gröbenzell (DE). WEBER, Werner [DE/DE]; Franz-Marc-Strasse 6/3, D-80637 München (DE). (74) Gemeinsamer Vertreter: SIEMENS AKTIENGE- SELLSCHAFT; Postfach 22 16 34, D-80506 München (DE).		(81) Bestimmungsstaaten: BR, IN, JP, KR, MX, RU, UA, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Veröffentlicht <i>Mit internationalem Recherchenbericht.</i> <i>Vor Ablauf der für Änderungen der Ansprüche zugelassenen</i> <i>Frist; Veröffentlichung wird wiederholt falls Änderungen</i> <i>eintreffen.</i>	

(54) Title: IMAGING DEVICE

(54) Bezeichnung: VORRICHTUNG ZUR BILDERFASSUNG



(57) Abstract

Sensor elements associated each with a processor element which acts as a primitive automatic device are arranged in a hexagonal grid. The processor elements are designed to carry out algorithms which enable the lines of a fingerprint to be so simplified that characteristic fingerprint minutiae (endings and branches) can be extracted. The processor elements are implemented as CMOS/neuron MOS threshold value logic elements or CMOS/NMOS pass transistor logic elements. The image grid can be read out as a matrix via read-out circuits (A).

(57) Zusammenfassung

In einem hexagonalen Raster sind Sensorelemente angeordnet, denen jeweils in dem Raster ein Prozessorelement als primitiver Automat zugeordnet ist. Die Prozessorelemente sind dafür eingerichtet, Algorithmen auszuführen, mit denen Linien eines Fingerabdrucks so vereinfacht werden können, daß charakteristische Minutiae des Fingerabdrucks (Endungen und Verzweigungen der Linien) extrahiert werden können. Die Prozessorelemente werden in CMOS/Neuron-MOS-Schwellwertlogik oder in CMOS/NMOS-Pass-Transistor-Logik ausgeführt. Das Bildraster kann über Ausleseschaltungen (A) als Matrix ausgelesen werden.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Vorrichtung zur Bilderfassung

- 5 Die vorliegende Erfindung betrifft eine miniaturisierte Vorrichtung zur Bilderfassung, die insbesondere zur Aufnahme von Fingerabdrücken geeignet ist.

10 Für eine automatische Erkennung eines Bildes mit typischer Strukturierung, wie z. B. bei einem Fingerabdruck, ist neben einer Einheit für die Aufnahme des Bildes auch eine Einheit zur Verarbeitung des Bildes und zur Extraktion wesentlicher Bestandteile, wie z. B. der für einen Fingerabdruck charakteristischen Minutien (minutiae), erforderlich. Bisherige Lösungen, von denen eine z. B. in dem IBM Technical Disclosure
15 Bulletin 17, 406-407 (1974) beschrieben ist, benötigen aufwendige Schaltungen, die viel Platz und Energie verbrauchen. Es wurden daher zur Aufnahme von kleinen Bildern wie z. B. Fingerabdrücken von der Verarbeitungs- und Auswerteeinheit
20 getrennte Sensoreinheiten verwendet. Die Sensoreinheiten bestehen aus einer Vielzahl von Einzelsensorelementen, die in einem Raster angeordnet sind. Die Verarbeitungseinheit besteht zumeist aus einem Micro Controller und/oder einem digitalen Signalprozessor. Solche hybriden Systeme sind jedoch
25 für eine Anwendung als Massenprodukt zu teuer, so daß derartige Aufbauten für eine ganze Reihe von Anwendungsbereichen zu aufwendig sind. Die Algorithmen zur Auswertung des erfaßten Bildes sind oft sehr kompliziert, z. B. insbesondere dann, wenn es wie in der angegebenen IBM-Schrift darum geht, besondere Charakteristika des aufgenommenen Bildes zu extrahieren und mit Referenzen zu vergleichen.
30

In der Veröffentlichung von A. P. Fitz und R. J. Green: „Fingerprint pre-processing on a hexagonal grid“, in European
35 Convention on Security and Detection, London 1995, pp. 257-260, ist ein Verfahren zur Aufnahme und Verarbeitung von Fingerabdrücken auf einem sechseckig unterteilten Raster be-

schrieben. Bei diesem Verfahren werden zur Vereinfachung eines Schwarzweißbildes Teilraster aus jeweils 7 in einem Sechseck angeordneten einzelnen Sechsecken bearbeitet. Eine Weiterbildung dieses Verfahrens ist beschrieben in der Veröffentlichung von Richard C. Staunton: „An analysis of hexagonal thinning algorithms and skeletal shape representation“, in Pattern Recognition 29, 1131-1146, (1996). Mit dem beschriebenen Algorithmus werden breite Linien des Bildes auf die geringstmögliche Breite reduziert.

In der Veröffentlichung von W. Weber e. a.: „On the Application of the Neuron MOS Transistor Principle for Modern VLSI Design“ in IEEE Transactions on Electron Devices 43, 1700-1708 (1996) sind Transistorstrukturen beschrieben, mit denen Logikschaltungen mit Gewichtungen der Eingangsgrößen aufgebaut werden können.

Aufgabe der vorliegenden Erfindung ist es, eine Vorrichtung zur Bilderfassung anzugeben, die zur Anwendung bei kleinen Abmessungen geeignet ist und die geeignet ist, Eigenheiten einer Linienstruktur des Bildes zu erfassen und zu verarbeiten.

Diese Aufgabe wird mit der Vorrichtung mit den Merkmalen des Anspruchs 1 gelöst. Ausgestaltungen ergeben sich aus den abhängigen Ansprüchen.

Bei der erfindungsgemäßen Vorrichtung wird ein Bild, z. B. eines Fingerabdruckes, mittels einer Vielzahl von Sensorelementen erfaßt, die auf einem Raster mit vorzugsweise sechseckiger Grundstruktur angeordnet sind. Zu jedem Sensorelement ist ein eigenes Prozessorelement vorhanden, das entsprechend den Unterteilungen des Rasters in der Nähe des jeweiligen Sensorelementes angeordnet ist. Die Prozessorelemente sind dafür vorgesehen, Werte, die aus einem von dem Sensorelement gelieferten Meßwert resultieren, vorzugsweise eine logische '0' oder '1', zu speichern und geeignet implementierte Algo-

rithmen auszuführen, um den gespeicherten Wert abzuändern, falls gewisse Bedingungen an diesen Wert und Werte aus Speichern benachbarter Prozessorelemente erfüllt sind. Diese Algorithmen können insbesondere dafür vorgesehen sein, Unregelmäßigkeiten im erfaßten Bild, die für die Erfassung der Grundstruktur unerheblich sind, zu eliminieren. Außerdem können mit diesen Algorithmen die Konturen des Bildes z. B. dadurch deutlicher hervorgehoben werden, daß breite Linien auf eine durch das Raster vorgegebene minimale Standardbreite reduziert werden. Falls die Vorrichtung zur Erfassung und Identifikation von Fingerabdrücken vorgesehen ist, können in den Prozessorelementen Auswertealgorithmen implementiert sein, mit denen charakteristische Stellen (Minutien, wie z. B. Endpunkte und Verzweigungen der Linien) festgestellt und mit abgespeicherten Referenzen verglichen werden können.

Ein einzelnes Element der erfindungsgemäßen Vorrichtung enthält daher jeweils ein Sensorelement und ein für die Verarbeitung vorgesehenes Prozessorelement mit einer Speichereinheit. Eine solche Einheit der Vorrichtung kann daher als Schaltung mit den Verfahren zur Herstellung mikroelektronischer Komponenten hergestellt werden. Jedes Prozessorelement ist mit einer aus den übrigen Prozessorelementen jeweils fest gewählten Gruppe von Prozessorelementen derart verbunden, daß das Prozessorelement von den verbundenen Prozessorelementen Werte übermittelt bekommen kann. Vorzugsweise ist jedes Prozessorelement auf diese Art und Weise mit den benachbarten Prozessorelementen (bei einem hexagonalen Raster sechs Prozessorelemente) verbunden. Das Prozessorelement gibt den in seiner Speichereinheit vorhandenen Wert an die (z. B. sechs) benachbarten Prozessorelemente weiter und erhält über jeweils einen zugeordneten Eingang von diesen Prozessorelementen den Wert übermittelt, der von dem jeweiligen benachbarten Prozessorelement gespeichert wurde. Die Gruppe der mit einem Prozessorelement verbundenen Prozessorelemente muß nicht notwendig die diesem Prozessorelement zunächst benachbarten Prozessorelemente umfassen, sondern kann, angepaßt an die jeweils

implementierten Algorithmen, zusätzlich oder ausschließlich entferntere Prozessorelemente umfassen.

Die Verbindungen der Prozessorelemente untereinander werden vorzugsweise durch elektrisch leitende Verbindungen gebildet. Die Verwendung eines Rasters, das durch eine Parkettierung mit gleich großen, vorzugsweise regelmäßigen, Sechsecken gebildet wird, als Grundlage für die Anordnung der einzelnen Einheiten, die jeweils ein Sensorelement und ein Prozessorelement umfassen, hat den Vorteil, daß die Erfassung der Bilder besonders effizient im Hinblick auf die erforderliche Weiterverarbeitung erfolgt. Das ergibt sich aus der Dichte der Parkettierung, der Zahl vorhandener nächster Nachbarn und der vorhandenen Symmetrie.

Der besondere Vorteil der erfindungsgemäßen Vorrichtung liegt darin, daß sehr kleine Bildstrukturen erfaßt werden können, da die Einheiten, aus der die Vorrichtung zusammengesetzt ist, die Prozessorelemente enthalten und nur eine geringe Fläche erfordern. Die Prozessorelemente arbeiten vollständig parallel und werden durch globale Takt-, Versorgungs- und Steuerleitungen gesteuert. Durch die globalen Steuerleitungen können die Prozessorelemente in mehrere bestimmte Zustände konfiguriert werden, die jeweils einem Verarbeitungsschritt mittels eines Algorithmus entsprechen. Wegen der Integration der Prozessorelemente innerhalb des für die Bilderfassung vorgesehenen Rasters, ist die Verarbeitungsgeschwindigkeit der Daten sehr hoch, und es wird nur wenig Energie verbraucht. Obwohl jedes Prozessorelement als Low-power-Schaltung realisiert werden kann und in diesem Fall relativ langsam arbeitet, wird durch die parallele Verarbeitung eine sehr gute Funktionalität (performance) des Gesamtsystems erreicht.

Vorzugsweise werden Ausgänge der Prozessorelemente am Rand des Rasters auf ihren freien Eingang zurückgekoppelt, so daß an den Rändern quasi spiegelsymmetrische Randbedingungen gel-

ten. Das Feld der Anordnung kann durch am Rand befindliche Adressierungsschaltungen sequentiell ausgelesen werden.

Ein einzelnes Prozessorelement bildet einen primitiven Automaten. Es verfügt über einen Speicher, in dem ein einem Meßwert des Sensorelementes zugeordneter Wert gespeichert werden kann, sowie eine Logikschaltung, die aus diesem Wert und den an den Eingängen des Prozessorelementes anliegenden Werten der verbundenen Prozessorelemente einen neuen gültigen Wert bestimmt, der in dem Speicher statt des alten Wertes abgelegt wird. Vorzugsweise hat das Prozessorelement eine Speichereinheit mit zwei Zustandsspeichern, von denen jeweils nur einer aktiv ist. In dem einen Speicher kann z. B. eine logische '0' oder '1' abgespeichert werden, die dem Meßwert des betreffenden Sensorelementes zugeordnet wird. In dem anderen Speicher wird der dazu komplementäre Wert (d. h. in dem Beispiel eine logische '1' bzw. '0') abgespeichert, so daß die Gesamtheit dieser zweiten Speicher das invertierte Bild enthält.

Es folgt eine Beschreibung der erfindungsgemäßen Vorrichtung anhand der Figuren 1 bis 11.

- Figur 1 zeigt die Anordnung der Sensorelemente und Prozessorelemente im Beispiel eines hexagonalen Rasters.
- Figur 2a zeigt ein Schema der Eingänge und Ausgänge eines Prozessorelementes für das Beispiel eines hexagonalen Rasters.
- Figur 2b zeigt ein Blockdiagramm für den Aufbau eines Prozessorelementes.
- Figur 3 zeigt verschiedene Konstellationen für von verbundenen Prozessorelementen gespeicherte Werte.
- Figur 4 zeigt eine Ausführung der Schaltung eines Prozessorelementes.
- Figur 5 zeigt ein alternatives Ausführungsbeispiel zur Schaltung eines Prozessorelementes.

Figuren 6-10 zeigen Schaltpläne der Schaltungsblöcke in Figur 5.

Figur 11 zeigt ein MS-RS-FF, das als Speichereinheit der Vorrichtung entsprechend den Figuren 5 bis 10 geeignet ist.

Figur 1 zeigt ein Schema für die erfindungsgemäße Vorrichtung in Aufsicht. In einem Raster, das in diesem Beispiel durch gleichmäßige Sechsecke gebildet ist, sind die einzelnen Sensorelemente SE angeordnet. Auf der linken Seite von Figur 1 ist als Beispiel ein solches Sensorelement mit einer kreisförmigen Sensorfläche und mit Auswahltransistoren für die X-Richtung und die Y-Richtung vergrößert dargestellt. Die Sensorelemente können andere geometrische Formen aufweisen, insbesondere (z. B. sechseckige) Abmessungen entsprechend der Unterteilung des Rasters besitzen. Jedem Sensorelement ist ein Prozessorelement zugeordnet, das vorzugsweise unmittelbar unterhalb des Sensorelementes im Bereich der betreffenden Teilfläche des Rasters in der Vorrichtung integriert ist.

Zum Auslesen des Sensorfeldes können z. B. Auswahlaltungen A (z. B. Pointer-Schaltungen) vorhanden sein, die in diesem Beispiel die Einheiten des Sensorfeldes in X-Richtung und Y-Richtung ansteuern. Auf diese Weise können die von den Prozessorelementen gespeicherten Werte ausgelesen werden. Dieses Vorgehen entspricht im Prinzip dem Auslesen eines Matrixspeichers. Wesentlich für die erfindungsgemäße Vorrichtung ist es, daß die Prozessorelemente jeweils in der Nähe der Sensorelemente in dem Raster integriert vorhanden sind. Wenn diese Vorrichtung als Fingerabdrucksensor vorgesehen ist, ist es vorteilhaft, wenn das einzelne Sensorelement für eine kapazitive Messung im wesentlichen als Kondensatorplatte innerhalb einer strukturierten, elektrisch leitfähigen Schicht ausgebildet und unter einer Auflagefläche für eine Fingerspitze angeordnet ist. Das Sensorelement oder das zugeordnete Prozessorelement verfügt dann über eine Schaltung, mit der eine logische '0' oder '1' generiert werden kann in Abhängigkeit

von der von dem Sensorelement mittels einer gemessenen Ladung oder Spannung festgestellten Kapazität.

Bei einer bevorzugten Ausführungsform der Vorrichtung wird
5 das in Figur 1 dargestellte hexagonale Raster verwendet und
jedes Prozessorelement mit den sechs in diesem Raster nächst
benachbarten Prozessorelementen verbunden. Figur 2a zeigt ein
solches Prozessorelement PE mit einem Ausgang, der auf sechs
10 Ausgänge 1, 2, 3, 4, 5 und 6 zu den sechs benachbarten Pro-
zessorelementen verzweigt ist. Das Prozessorelement verfügt
außerdem über je einen Eingang für jedes der sechs benachbar-
ten Prozessorelemente. Auf diese Weise kann ein in der Spei-
chereinheit des Prozessorelementes abgespeicherter Wert an
15 die sechs benachbarten Prozessorelemente weitergegeben wer-
den.

In Figur 2b ist die prinzipielle Funktionsweise des Prozes-
sorelementes anhand eines Blockdiagrammes wiedergegeben. Die
Werte der verbundenen Prozessorelemente, in diesem Beispiel
20 die sechs Werte X_1 , X_2 , X_3 , X_4 , X_5 und X_6 der benachbarten
sechs Prozessorelemente, werden zusammen mit dem von dem Pro-
zessorelement selbst abgespeicherten Wert $X_0^<$ einer Logik-
schaltung L zugeführt. Die Logikschaltung verarbeitet diese
Werte, um so einen neuen Wert $X_0^>$ zu errechnen. Dieser Wert
25 $X_0^>$ wird der Speichereinheit M zugeführt, die in einer bevor-
zugten Ausführungsform, die in Figur 2b als Beispiel einge-
zeichnet ist, durch zwei Flip-Flops, die als Master-Slave-RS-
Flip-Flop geschaltet sind, gebildet wird. In dem Master-Flip-
Flop (linkes Flip-Flop FF_M in der Figur) wird der neu be-
30 stimmte Wert gespeichert und bei Vorliegen gewisser Bedingun-
gen gesteuert durch ein angelegtes Taktsignal T in das Slave-
Flip-Flop (rechtes Flip-Flop FF_S in der Figur) weitergescho-
ben. Das Slave-Flip-Flop enthält jeweils den Wert, der dem
alten Zustand des betreffenden Bildpunktes (Pixel) ent-
35 spricht. Dieser Wert $X_0^<$ wird der Logikschaltung zugeführt,
damit die Berechnung des neuen Wertes $X_0^>$ unter Berücksichti-
gung des alten Wertes erfolgen kann. Der jeweils aktuelle

Wert X_0 des Slave-Flip-Flops wird an die Ausgänge, in diesem Beispiel sechs Ausgänge, zu den benachbarten Prozessorelementen PE_1 , PE_2 , PE_3 , PE_4 , PE_5 und PE_6 , gelegt. Die Verwendung eines derartigen Speichers hat den Vorteil, daß die Bewertung für alle Bildpunkte anhand der gespeicherten (alten) Werte erfolgen kann und erst im Anschluß daran die neuen Werte abgespeichert werden, so daß für die Bewertung in jedem Fall die alten Werte zur Verfügung stehen. Es treten daher beim Durchführen von Algorithmen zur Verarbeitung der gespeicherten Werte keine Verfälschungen auf, die auftreten könnten, wenn teils alte, teils bereits neue Werte von den Prozessorelementen verarbeitet werden.

Die Prozessorelemente können z. B. dafür eingerichtet sein, mehrere Algorithmen durchzuführen, mit denen die Struktur des erfaßten Bildes vereinfacht oder in der Konturierung verbessert werden kann. Bei der Erfassung eines Fingerabdruckes wird ein von der Struktur des Fingerabdruckes abhängiger Meßwert des einzelnen Sensorelementes in eine logische '0' oder '1' umgewandelt. Man erhält so eine Darstellung des Fingerabdruckes als Schwarzweißbild, dessen Auflösung der Größe des zugrundeliegenden Rasters entspricht. Dieses Bild wird durch Anwendung verschiedener Algorithmen verbessert, um insbesondere die charakteristischen Minutien herausarbeiten und damit den Fingerabdruck identifizieren zu können. In Figur 3a ist eine Anordnung aus sieben Zellen des Rasters dargestellt, wobei eine zentrale Zelle von sechs Zellen rings umgeben ist. Jede Zelle enthält ein eigenes Sensorelement und ein eigenes Prozessorelement mit einer Speichereinheit, in der der aktuelle Wert '0' oder '1' des betreffenden Bildpunktes gespeichert ist. Für eine solche Anordnung aus sieben Zellen wird im folgenden der Einfachheit halber die englische Bezeichnung „Template“ verwendet. Zur Verarbeitung des erfaßten Bildes wertet das Prozessorelement den von ihm gespeicherten Wert zusammen mit den Werten der verbundenen, in diesem Fall sechs benachbarten, Prozessorelemente aus und bestimmt so einen neuen Wert. Die Algorithmen werden in geeigneter Weise nach-

einander ausgeführt, wobei sie von dem jeweils betroffenen Prozessorelement nur dann ausgeführt werden, wenn die zugehörigen Bedingungen erfüllt sind.

- 5 Ein Algorithmus kann dafür vorgesehen sein, weiße Lücken in dem Schwarzweißbild aufzufüllen. Zu diesem Zweck können weiße Bildpunkte, denen z. B. der logische Wert '0' zugeordnet ist und die von mindestens 5 schwarzen Bildpunkten umgeben sind, in einen schwarzen Bildpunkt umgewandelt werden (s. Template
10 in Figur 3a). Die Logikschaltung des Prozessorelementes stellt fest, daß der gespeicherte Wert '0' ist und daß von den verbundenen sechs Prozessorelementen mindestens fünf den Wert '1' übermitteln. Damit ist die Bedingung erfüllt, den weißen Bildpunkt in einen schwarzen Bildpunkt zu ändern, und
15 das Prozessorelement speichert den Wert '1' ab. Bei der Verwendung einer Speichereinheit entsprechend Figur 2b mit einem Master-Slave-RS-Flip-Flop (in der Figur mit MS-RS-FF bezeichnet) wird der neue Wert gesteuert durch das Taktsignal T aus dem Master-Flip-Flop in das Slave-Flip-Flop übernommen.

- 20 Einzelne schwarze Bildpunkte, die aus einer größeren Struktur herausragen, können mit einem weiteren Algorithmus entfernt werden. Wenn ein Prozessorelement den Wert '1' gespeichert hat und von den benachbarten Prozessorelementen höchstens eines den Wert '1' übermittelt, wie der Fall ist, wenn das zugehörige Template wie in Figur 3b aussieht, kann das Prozessorelement als Ergebnis des zugehörigen Algorithmus den Wert
25 '1' in den Wert '0' ändern. Die Kanten der Bildstruktur werden damit geglättet. Vorzugsweise wird dieser Algorithmus zuerst angewendet, um die Linienstruktur des Bildes deutlicher hervortreten zu lassen. Anschließend werden weiße Lücken aufgefüllt, indem der Wert des zentralen Bildpunktes in Template entsprechend Figur 3a von '0' auf '1' gesetzt wird. Die Orientierung spielt jeweils keine Rolle, d. h. die in den Fi-
30 guren 3a und 3b gezeichneten Templates können um Vielfache von 60° gedreht sein.

Die Verarbeitung der in Figur 3c gezeichneten Templates reduziert breite Linien auf Linien von 1 Pixel Breite. Die mit x bezeichneten Werte können '0' oder '1' sein und sind für den Algorithmus ohne Bedeutung. Wesentlich ist nur, daß zwei Paare verbundener Prozessorelemente vorhanden sind, so daß jeweils die beiden Prozessorelemente eines Paares den Wert '1' und die Prozessorelemente des anderen Paares den Wert '0' übermitteln. Die Prozessorelemente der Paare sind jeweils benachbart zueinander, und jedes Prozessorelement eines Paares ist nicht benachbart zu den Prozessorelementen des anderen Paares, so daß die beiden Paare, wie in Figur 3c für verschiedene Orientierungen des Templates dargestellt ist, parallel zueinander angeordnet sind. Dieser Algorithmus wird jeweils für ein Template der Figur 3c in dem gesamten Bild angewendet, danach für ein anderes Template der Figur 3c ebenfalls in dem gesamten Bild usw. für alle dargestellten Templates. Der Algorithmus wird mehrmals zyklisch in immer derselben Reihenfolge der Templates durchgeführt, die an sich beliebig ist und nicht der in der Figur 3c gezeigten Reihenfolge entsprechen muß.

Ein weiterer Algorithmus ist dafür vorgesehen, Linienenden festzustellen. Ein Ende einer ein Pixel breiten Linie ist in dem Template in Figur 3d wiedergegeben. Der letzte Bildpunkt einer Linie bildet das zentrale Element dieses Templates. Dieses Element hat daher den Wert '1', während von den benachbarten Bildpunkten nur einer den Wert '1' aufweist. Der Algorithmus setzt alle Werte von '1' auf '0' mit Ausnahme derjenigen Bildpunkte, die ein Ende einer Linie bilden. Man kann zusätzliche Information über die Richtung der Linie an den Endungen gewinnen, indem man den Algorithmus auch auf Templates anwendet, die gegenüber dem Template der Figur 3d um Vielfache von 60° gedreht sind. Diese Information über die Richtung kann zusätzlich zur Identifikation des Bildinhaltes (z. B. eines Fingerabdruckes) herangezogen werden.

Bei der Extraktion der Minutien eines Fingerabdruckes werden diese Algorithmen mehrfach hintereinander angewendet. Vorzugsweise wird zunächst der Algorithmus zum Entfernen einzelner schwarzer Bildpunkte und zum Glätten der Konturen der Linien angewendet. Danach werden weiße Lücken aufgefüllt. Dann werden abwechselnd der Algorithmus zum Dünnen der Linien (Templates gemäß Figur 3c) und der Algorithmus zum Entfernen einzelner schwarzer Bildpunkte so oft angewendet, bis ein deutlich konturiertes und alle wesentlichen Eigenheiten des Fingerabdrucks aufweisendes Bild resultiert. In Abhängigkeit von den Abmessungen des Rasters und der gewünschten Genauigkeit kann die Anzahl der Durchläufe dieser Algorithmen geeignet festgelegt werden. Anschließend wird der Algorithmus zum Auffinden der Endungen der Linien angewendet.

Vorzugsweise werden Speichereinheiten verwendet, die über zwei Speicher verfügen, so daß die aus den Meßwerten der Sensorelemente resultierenden Werte und die dazu komplementären Werte abgespeichert werden können. Die jeweils zweiten Speicher einer Speichereinheit enthalten daher das invertierte Bild, d. h. das Negativ des ursprünglichen Schwarzweißbildes. Mit diesem invertierten Bild können die Verzweigungspunkte der Linien aufgefunden werden, da die ebenfalls linienförmigen Zwischenräume zwischen den Linien an den Verzweigungspunkten der Linien enden, so daß die Enden der Linien des invertierten Bildes die Verzweigungspunkte der Linien des ursprünglichen Bildes markieren.

Die logischen und rechnerischen Operationen der angegebenen Algorithmen können als Schaltung in ausreichend miniaturisierter Form realisiert werden und daher in einem Prozessorelement implementiert werden, das unmittelbar dem Sensorelement innerhalb des Rasters der Vorrichtung zugeordnet ist. Durch die geeignete Verschaltung der Prozessorelemente untereinander ist es daher bei der erfindungsgemäßen Vorrichtung möglich, derartige Algorithmen von Prozessorelementen ausführen zu lassen, die in das Raster der Anordnung der Sensorele-

mente integriert sind und die gleichzeitig eine für die vorgesehene Verarbeitung des Bildes ausreichende Funktionalität aufweisen.

- 5 Zur Realisierung der Logikschaltung eines Prozessorelementes kann z. B. eine Neuron-MOS-Schaltungstechnik verwendet werden, mit der die angegebenen Algorithmen z. B. entsprechend dem Schaltschema der Figur 4 implementiert sein können. In der Schaltung ist ein Schaltungsblock B vorhanden mit einer
- 10 Bewerterschaltung, der geeignet gewichtete Werte über eine Anzahl von jeweils paarweise umschaltbaren Neuron-MOS-Transistoren zugeführt werden. Die Bewerterschaltung kann z. B. aus einem Latch bestehen, das nach der Bewertung seinen Zustand beibehält. Die Eingänge EN (enable) und ref (reference) entscheiden, ob eine Bewertung durchgeführt wird oder nicht.
- 15 Über den Eingang S kann die Bewerterschaltung veranlaßt werden, den negativen Ausgangswert zu liefern. Im Fall $S=1$, liefert die Schaltung z. B. den Wert '1', wenn der Wert am ersten Eingang IN1 größer ist als der Wert am zweiten Eingang IN2; falls $S=0$, liefert die Schaltung entsprechend den Wert '1', wenn der Wert am ersten IN1 kleiner ist als der Wert am zweiten Eingang IN2.
- 20

- Die Schaltung umfaßt außerdem einen ersten Multiplexer
- 25 (Mehrfachschalter) MUX1, einen zweiten Multiplexer MUX2 und sechs Summierer Σ_1 , Σ_2 , Σ_3 , Σ_4 , Σ_5 und Σ_6 , die z. B. durch Neuron-MOS-Transistoren realisiert sein können. Die von den verbundenen Prozessorelementen gelieferten Werte X_1 , X_2 , X_3 , X_4 , X_5 und X_6 werden vom Eingang entsprechend den in Figur 4 eingezeichneten Verschaltungen dem ersten Summierer Σ_1 bzw. den
- 30 Eingängen des ersten Multiplexers MUX1 zugeführt. Zwischen den mehrmals vorhandenen Eingängen A, B und C des ersten Multiplexers wird jeweils simultan umgeschaltet, so daß jeweils die Eingangswerte an den Eingängen A oder die Eingangswerte
- 35 an den Eingängen B oder die Eingangswerte an den Eingängen C mit den vier Ausgängen des ersten Multiplexers verbunden sind.

Der zweite Multiplexer MUX2 wird simultan umgeschaltet, so daß die beiden Ausgänge jeweils mit den beiden Eingängen D, E, F bzw. G verbunden sind. Jedes Paar von Neuron-MOS-Transistoren stellt durch die speziell eingestellten Kapazitätsverhältnisse eine bestimmte Art von Algorithmus dar (angedeutet durch die an den Eingängen der Summierer eingetragenen Zahlen), d. h. in dem Beispiel werden die Templates der Figur 3 repräsentiert. Die Summierer Σ_1 und Σ_6 bzw. Σ_2 und Σ_5 bzw. Σ_3 und Σ_4 werden zusammen jeweils durch Paare von Neuron-MOS-Transistoren gebildet. Falls der Eingang F gewählt wird, liegen an den Eingängen IN1 und IN2 des Schaltungsblockes B entsprechend den Rechenoperationen der Summierer Σ_3 und Σ_4 die Werte $a_1 + a_2 + 3S$ bzw. $b_1 + b_2 + 1,5$ an. Entsprechend der oben beschriebenen Beschaffenheit des Schaltungsblockes B ist im Fall $S=1$ zwischen den genannten Größen an den Eingängen des Schaltungsblockes B das Ungleichheitszeichen „>“ und im Fall $S=0$ das Ungleichheitszeichen „<“ für die Bewertung maßgebend.

Durch die Auswahl des Neuron-MOS-Transistorpaares (Eingänge D, E bzw. F des zweiten Multiplexers MUX2) können in dem Beispiel der Figur 4 drei der benötigten Algorithmen umgesetzt werden. Falls $S=1$, $ref=1$ und der zweite Multiplexer auf Eingang D geschaltet ist, liefern die Summierer Σ_1 und Σ_6 die Summe der Werte X_1 bis X_6 und den Wert 4,5, die miteinander verglichen werden durch das Ungleichheitszeichen „>“. Es wird daher festgestellt, ob mindestens fünf der benachbarten Prozessorelemente den Wert '1' liefern.

Falls $S=1$ bzw. $S=0$, $ref=0$ und der zweite Multiplexer MUX2 auf den Eingang D geschaltet ist, liegen an den Eingängen IN1 und IN2 des Schaltungsblockes B die Summe der Werte X_1 bis X_6 bzw. der Wert 1,5 an. Es wird in der Bewerterhaltung festgestellt, ob die Summe der von den benachbarten Prozessorelementen übermittelten Werte größer ($S=1$) bzw. kleiner ($S=0$) als 1,5 ist. Das ist wichtig für die Algorithmen zur Eliminierung einzelner schwarzer Bildpunkte und zum Glätten der

Linienränder bzw. für den Algorithmus zum Identifizieren der Endungen der Linien.

5 Mit einer Kombination der Summierer Σ_2 und Σ_5 und einer Schaltung des zweiten Multiplexers auf den Eingang E läßt sich ein Wert '1' innerhalb der Anordnung in drei verschiedenen Hauptrichtungen verschieben.

10 Wenn der zweite Multiplexer auf die Eingänge F geschaltet ist, werden die Werte $a_1 + a_2 + 3S$ und $b_1 + b_2 + 1,5$ miteinander verglichen. Falls $S=0$, wird überprüft, ob der erste Wert kleiner ist als der zweite Wert; falls $S=1$, wird überprüft, ob der erste Wert größer ist als der zweite Wert. Das kann jeweils nur dann der Fall sein, wenn nicht a_1 und a_2 beide
15 gleich '0' und b_1 und b_2 beide gleich '1' sind oder umgekehrt. Falls $a_1 = a_2 = '0'$ bzw. '1' und $b_1 = b_2 = '1'$ bzw. '0' gilt, liefert der Schaltungsblock B daher den Wert '0', was für den Algorithmus zum Ausdünnen der Linien gewünscht wird. Entsprechend der Verdrahtung der Eingänge sind die Werte a_1
20 und a_2 bzw. b_1 und b_2 jeweils zwei Paaren verbundener Prozes-
sorelemente zugeordnet, deren Komponenten jeweils zueinander benachbart, aber nicht zu den Komponenten des anderen Paares benachbart sind.

25 Wenn zur Bewertung der durch die Neuron-MOS-Transistorpaare erzeugten gewichteten Potentiale ein Latch verwendet wird, so kann der Zustandspeicher durch ein beliebiges einstufiges Flip-Flop realisiert werden, da der aktuelle Zustand jeweils in der Bewerter-schaltung gespeichert ist (d. h. die Bewerter-
30 schaltung ist das Master-Flip-Flop, das Flip-Flop des Zustandspeichers ist das Slave-Flip-Flop). Auch der Zustandspeicher M hat einen EN-Eingang (enable), der darüber entscheidet, ob ein neuer Zustand übernommen wird oder nicht. Es können mehrere solche Zustandspeicher vorhanden sein, zwi-
35 schen denen umgeschaltet werden kann, wie in dem in der Figur 4 eingezeichneten Speicher angedeutet ist. Damit können Zwischenzustände während der Verarbeitung zusätzlich gespeichert

werden. Zum Einlesen des dem Meßwert der betreffenden Sensoreinheit SE zugeordneten Wertes '0' oder '1' wird der zweite Multiplexer MUX2 auf die Eingänge G geschaltet. Von dem Schaltungsblock B werden neue Werte des betreffenden Bildpunktes $X_0^>$ an die Speichereinheit M weitergegeben. Da der alte Wert $X_0^<$ in dem Bildpunkt als Randbedingung für die Bewertung maßgeblich ist, wird dieser alte Wert aus dem Speicher M dem Schaltungsblock B zugeführt (entspricht der in Figur 4 eingezeichneten Rückkopplung von $X_0^<$). Die alten Werte $X_0^<$ werden auch den verbundenen Prozessorelementen PE_1 , PE_2 , PE_3 , PE_4 , PE_5 und PE_6 zugeleitet.

Die Logikschaltung in dem Schaltungsblock B ist vorzugsweise so beschaffen, daß eine Bewertung oder eine Übernahme eines neuen Wertes in den Zustandspeicher nur dann erfolgt, wenn der von dem bewertenden Prozessorelement selbst gespeicherte Wert geeignete Bedingungen erfüllt. Für die Algorithmen zum Glätten der Kanten, zum Ausdünnen der Linien und zum Auffinden der Endungen ist diese Bedingung, daß der gespeicherte Wert $X_0^< = 1$ ist; für den Algorithmus zum Auffüllen weißer Lücken muß der bisherige Zustand $X_0^< = 0$ sein. In dem Schaltungsblock B können Schaltungen vorhanden sein, die bewirken, daß bei einem Fehlen der einschlägigen Bedingung eine Bewertung gar nicht erst stattfindet, und der gespeicherte Wert ohne weiteres unverändert bleibt. Es werden daher beim Ausführen der Algorithmen immer nur die relevanten Prozessorelemente aktiviert, wie für die richtige Ausführung der Algorithmen erforderlich ist. Außerdem kann so die Verarbeitungsgeschwindigkeit erhöht und Energie eingespart werden.

Die in Figur 5 dargestellte Schaltungsvariante besitzt mehrere Funktionsblöcke F1, F2, F3, F4 und R. Außerdem sind ein 1-aus-12-Decoder als Multiplexer MUX3 und ein spezielles Master-Slave-RS-Flip-Flop zur Speicherung des Zustandes und zur Durchführung der Bewertung vorhanden. Die Funktionsblöcke bestehen jeweils aus einer Anzahl von NMOS-Transistoren, die in geeigneter Weise als UND-Gatter und ODER-Gatter in Reihe bzw.

parallel geschaltet sind und jeweils am Gate mit einem Logikpegel '0' oder '1' betrieben werden. Ein Funktionsblock hat zwei Anschlüsse, zwischen denen er je nach dem Zustand, in dem er sich befindet, stromdurchlässig ist oder nicht. Mehrere dieser Funktionsblöcke sind parallel geschaltet; es ist aber immer nur ein Funktionsblock über den Multiplexer MUX3 mit Masse verbunden. Die sechs Eingänge für die von den verbundenen Prozessorelementen übermittelten Werte X_1 , X_2 , X_3 , X_4 , X_5 und X_6 und für deren komplementäre Werte sind zur Vereinfachung der Darstellung in jeweils einer Linie zusammengefaßt.

Figur 6 zeigt eine mögliche Ausgestaltung des Funktionsblockes F1, Figur 7 des Funktionsblockes F2, Figur 8 des Funktionsblockes F3, Figur 9 des Funktionsblockes F4 und Figur 10 des Funktionsblockes R. Der Funktionsblock F1 schaltet gegen Masse kurz, wenn mindestens fünf der sechs Werte X_1 bis X_6 den logischen Wert '1' besitzen (zur Durchführung des Algorithmus, mit dem die Lücken aufgefüllt werden). Mit dem Funktionsblock F2 lassen sich die Algorithmen zum Glätten der Kanten und zum Identifizieren der Endungen der Linien durchführen. Durch die globale Steuergröße C (Figur 7) wird zwischen diesen Algorithmen umgeschaltet. Der Funktionsblock F3 dient dazu, den Algorithmus zum Ausdünnen der Linien durchzuführen. Mit dem Funktionsblock F4 lassen sich die Werte in den Bildpunkten der Linienendungen in den drei Hauptrichtungen des Rasters verschieben. Mit dem Funktionsblock R (Figur 10) wird der von dem Sensorelement gelieferte logische Wert (Eingang SE) eingelesen.

Wegen der verwendeten NMOS-Pass-Transistor-Logik liegt bei der in den Figuren dargestellten Beschaltung an den Eingängen R und S des Master-Slave-RS-Flip-Flops stets nur '0' (Massepotential) oder '1' (Anschluß offen, da Schalter gesperrt) an. Bei Einsatz einer komplementären Pass-Transistor-Logik kann man auch den jeweils invertierten logischen Pegel erhal-

ten, was aber eine Verdoppelung des Flächenbedarf nach sich zieht.

5 Ein Ausführungsbeispiel für einen geeigneten Zustandspeicher zu der Ausführung der Schaltung gemäß Figur 5 ist in Figur 11 dargestellt. Die Funktionsweise dieses speziellen Flip-Flops ist bevorzugt dafür geeignet, die beschriebenen Algorithmen in Verbindung mit den angegebenen Funktionsblöcken durchzu-
10 führen. Die vorhandenen Flip-Flops werden durch die Taktsignale T_M bzw. T_S gesteuert, die zeitlich zueinander versetzt sind. Durch eine Vervielfachung des Slave-Flip-Flops ist die Speicherung mehrerer Zustände möglich, wenn eine Auswahl über ergänzende Multiplexer erfolgt.

Patentansprüche

1. Vorrichtung zur Bilderfassung,
mit einer Anordnung von Sensorelementen (SE) in einem Raster,
5 bei der zu jedem Sensorelement ein zugehöriges Prozessorelement (PE) entsprechend dem Raster integriert ist,
bei der jedes Prozessorelement eine Speichereinheit (M) zur
Speicherung von Werten besitzt,
bei der jedes Prozessorelement mit einer aus den übrigen Pro-
10 zessorelementen jeweils gewählten Gruppe von Prozessorelemen-
ten derart verbunden ist, daß das Prozessorelement Werte, die
von den zu dieser Gruppe gehörenden Prozessorelementen ausge-
geben werden, aufnehmen kann, und
bei der jedes Sensorelement so beschaffen ist, daß es bei ei-
15 ner Bilderfassung einen Meßwert an das zugehörige Prozessor-
element übermittelt, der einem für eine Speicherung vorgese-
henen Wert zugeordnet werden kann.
2. Vorrichtung nach Anspruch 1,
20 bei der die Speichereinheiten mindestens einen ersten Spei-
cher und einen zweiten Speicher besitzen und
bei der die Prozessorelemente dafür eingerichtet sind, zu ei-
nem von dem Sensorelement übermittelten Meßwert einen von
zwei möglichen Werten in den ersten Speicher und den jeweils
25 anderen möglichen Wert in den zweiten Speicher abzuspeichern.
3. Vorrichtung nach Anspruch 1 oder 2,
bei der jedes Prozessorelement mit den in dem Raster benach-
barten Prozessorelementen derart verbunden ist, daß das Pro-
30 zessorelement Werte, die von diesen benachbarten Prozessor-
elementen ausgegeben werden, aufnehmen kann.
4. Vorrichtung nach einem der Ansprüche 1 bis 3,
bei der das Raster so dimensioniert ist, daß es zur Erfassung
35 eines für eine Personenidentifikation ausreichend differen-
zierten Fingerabdrucks dienen kann, und

bei der die Sensorelemente so beschaffen sind, daß sie bei einer Aufnahme eines Fingerabdruckes Meßwerte liefern, anhand derer dieser Fingerabdruck in einem Schwarzweißbild reproduziert werden kann.

5

5. Vorrichtung nach einem der Ansprüche 1 bis 4, bei der jedes Prozessorelement eine Logikschaltung (L) besitzt, die aus zugeführten Werten einen neuen Wert ermittelt.

10 6. Vorrichtung nach einem der Ansprüche 1 bis 5, bei der die Werte als logische '0' oder '1' gespeichert werden,

bei der jedes Prozessorelement dafür eingerichtet ist, den Wert aus einem vorgegebenen Speicher einer Speichereinheit auszulesen und diesen Wert an die verbundenen Prozessorelemente weiterzugeben, und

15 bei der jedes Prozessorelement dafür eingerichtet ist, einen Algorithmus durchzuführen, mit dem in Abhängigkeit davon, ob der Wert in dem vorgegebenen Speicher der Speichereinheit dieses Prozessorelementes '0' oder '1' ist, und in Abhängigkeit davon, wieviele verbundene Prozessorelemente den Wert '1' an dieses Prozessorelement weitergeben, der Wert in diesem Speicher geändert wird oder nicht.

25 7. Vorrichtung nach Anspruch 6, bei der jedes Prozessorelement dafür eingerichtet ist, Algorithmen durchzuführen, mit denen

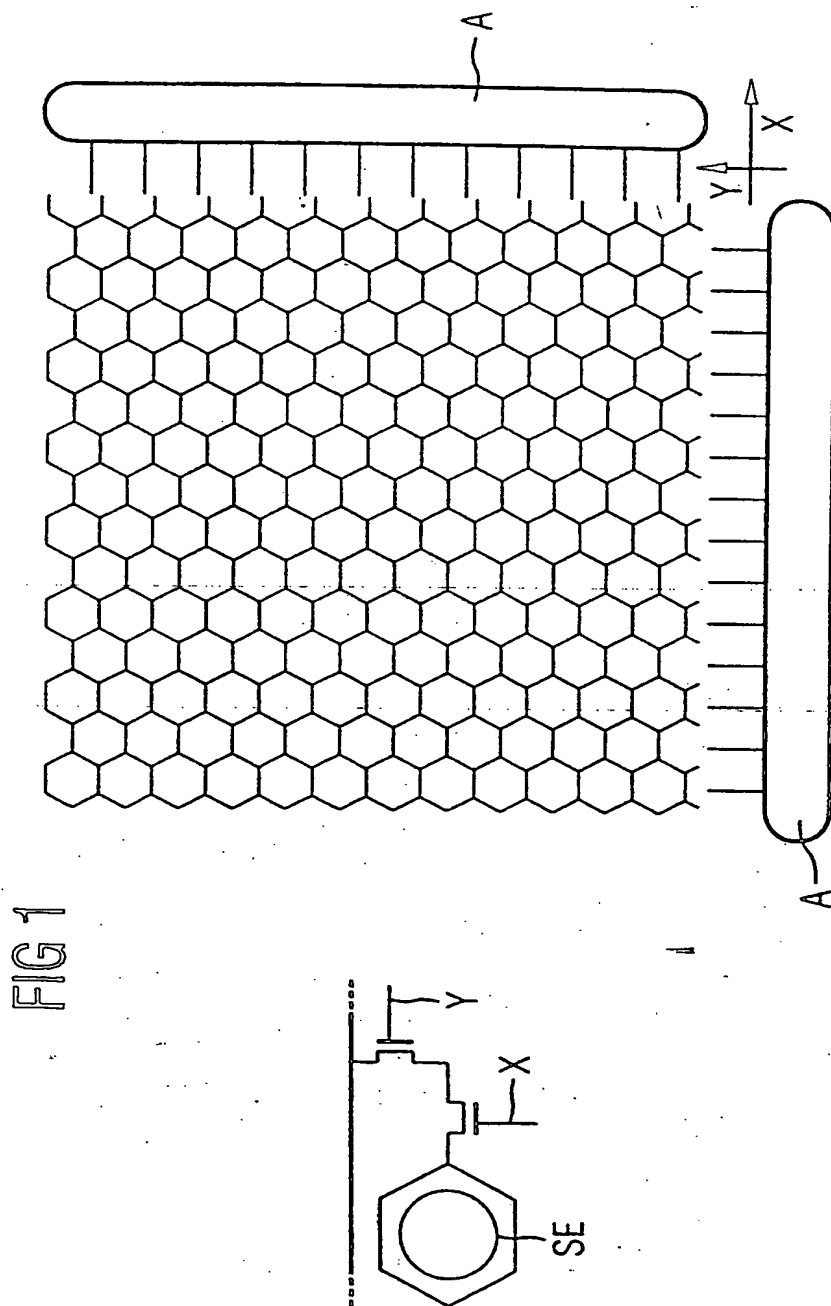
1. der Wert in dem vorgegebenen Speicher von '1' auf '0' gesetzt wird, falls höchstens ein verbundenes Prozessorelement den Wert '1' übermittelt, oder

30 2. der Wert in dem vorgegebenen Speicher von '0' auf '1' gesetzt wird, falls mindestens fünf verbundene Prozessorelemente den Wert '1' übermitteln, oder

35 3. der Wert in dem vorgegebenen Speicher von '1' auf '0' gesetzt wird, falls mindestens zwei verbundene Prozessorelemente den Wert '1' übermitteln, oder

4. der Wert in dem vorgegebenen Speicher von '1' auf '0' gesetzt wird, falls zwei verbundene Prozessorelemente eines ersten Paares den Wert '1' übermitteln und zwei verbundene Prozessorelemente eines zweiten Paares den Wert '0' übermitteln und falls das Prozessorelement feststellt, daß die zu demselben Paar gehörenden verbundenen Prozessorelemente in dem Raster zueinander benachbart und zu den Prozessorelementen des jeweils anderen Paares nicht benachbart sind.
8. Vorrichtung nach einem der Ansprüche 1 bis 7, bei der jedes Prozessorelement mit mindestens einer Neuron-MOS-Schaltung aufgebaut ist, mit der die von verbundenen Prozessorelementen übermittelten Werte in einer vorgegebenen Weise gewichtet und rechnerisch miteinander verknüpft und einer Bewertungsschaltung zugeführt werden.
9. Vorrichtung nach einem der Ansprüche 1 bis 7, bei der jedes Prozessorelement mit mindestens einer NMOS-Pass-Transistor-Logikschaltung aufgebaut ist, die als Schalter zwischen einem Bezugspotential und einer Bewertungsschaltung operiert.
10. Vorrichtung nach Anspruch 8 oder 9, bei der die Bewertungsschaltung (B) und ein Speicher (M) durch ein Master-Slave-RS-Flip-Flop gebildet werden.

1/8



BEST AVAILABLE COPY

2/8

FIG 2A

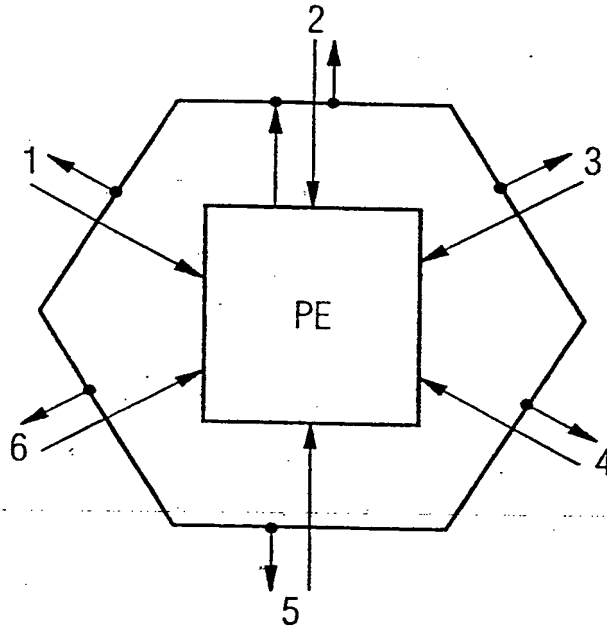
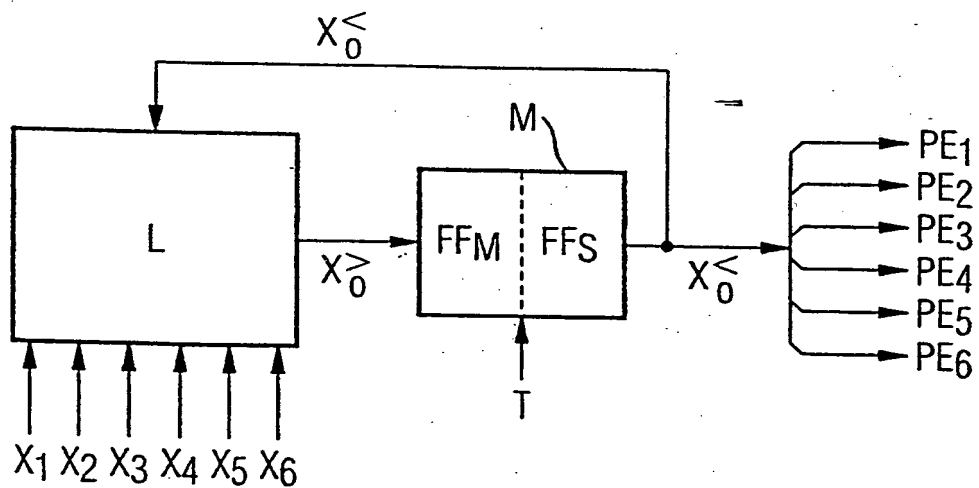


FIG 2B



BEST AVAILABLE COPY

3/8

FIG 3B

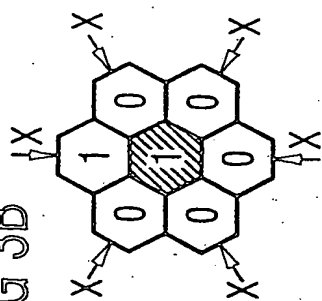


FIG 3A

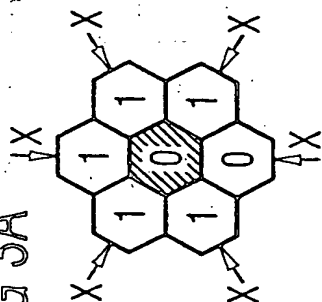


FIG 3C

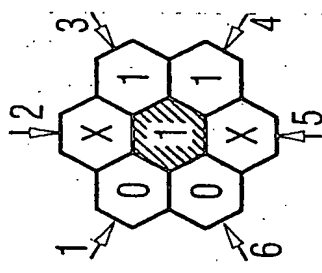
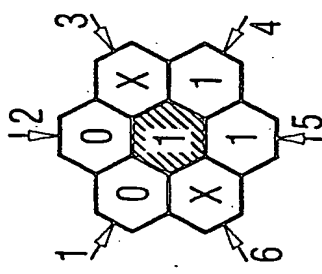
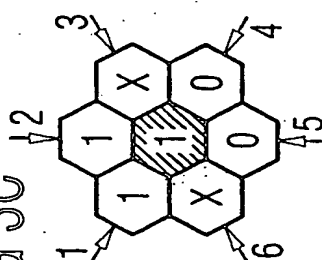
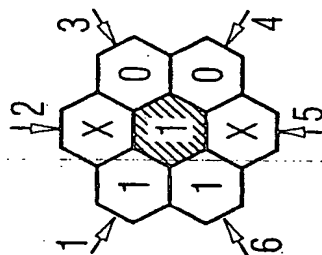
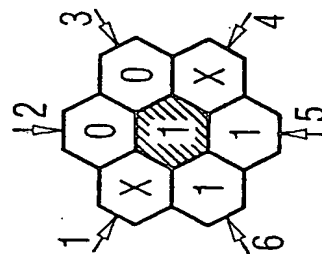
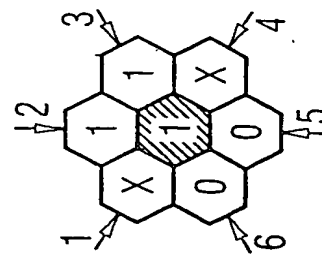
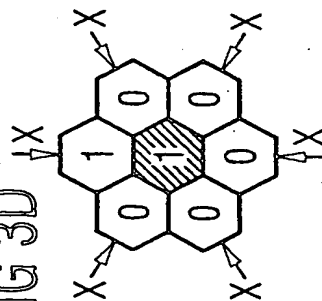
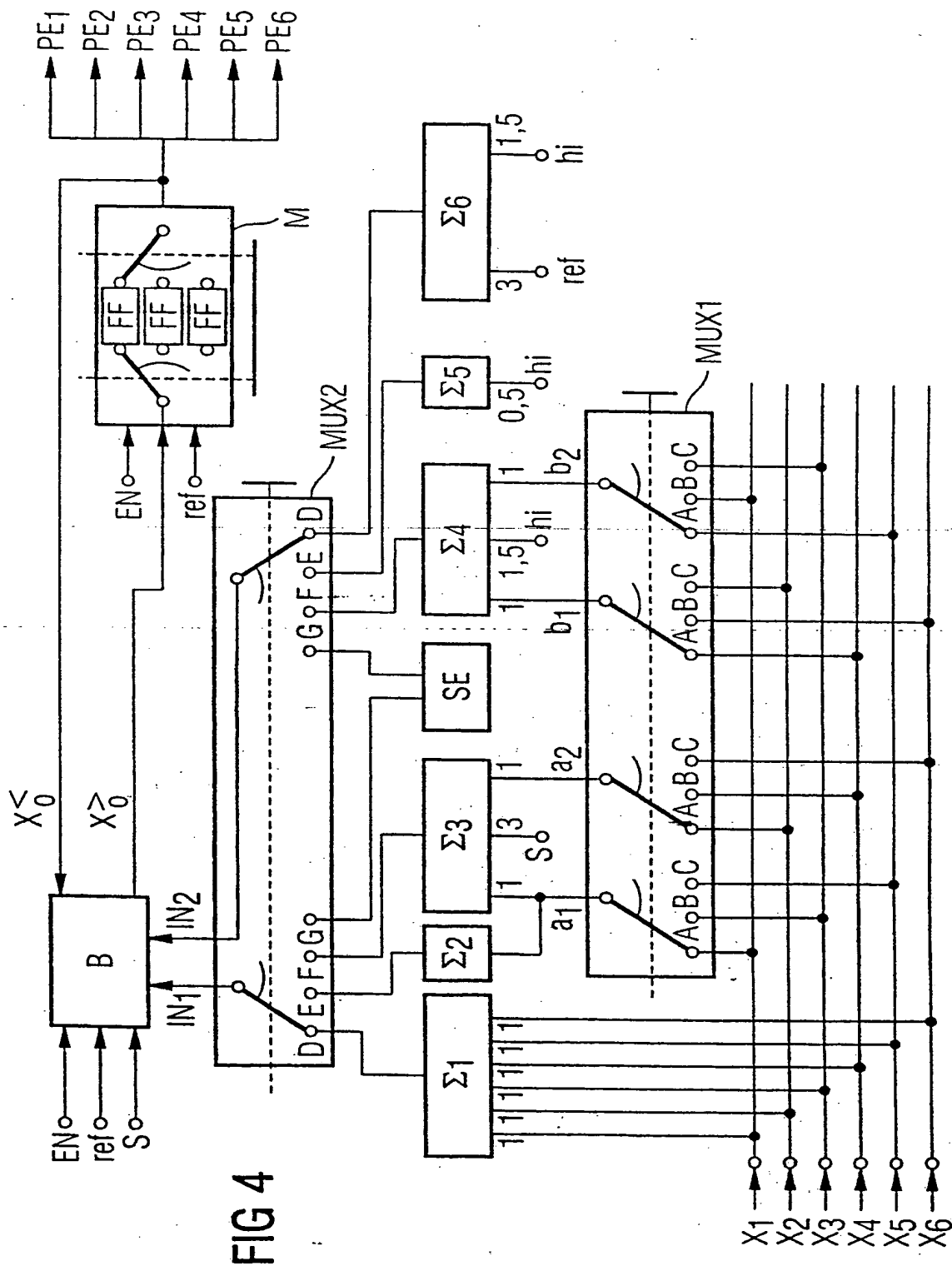


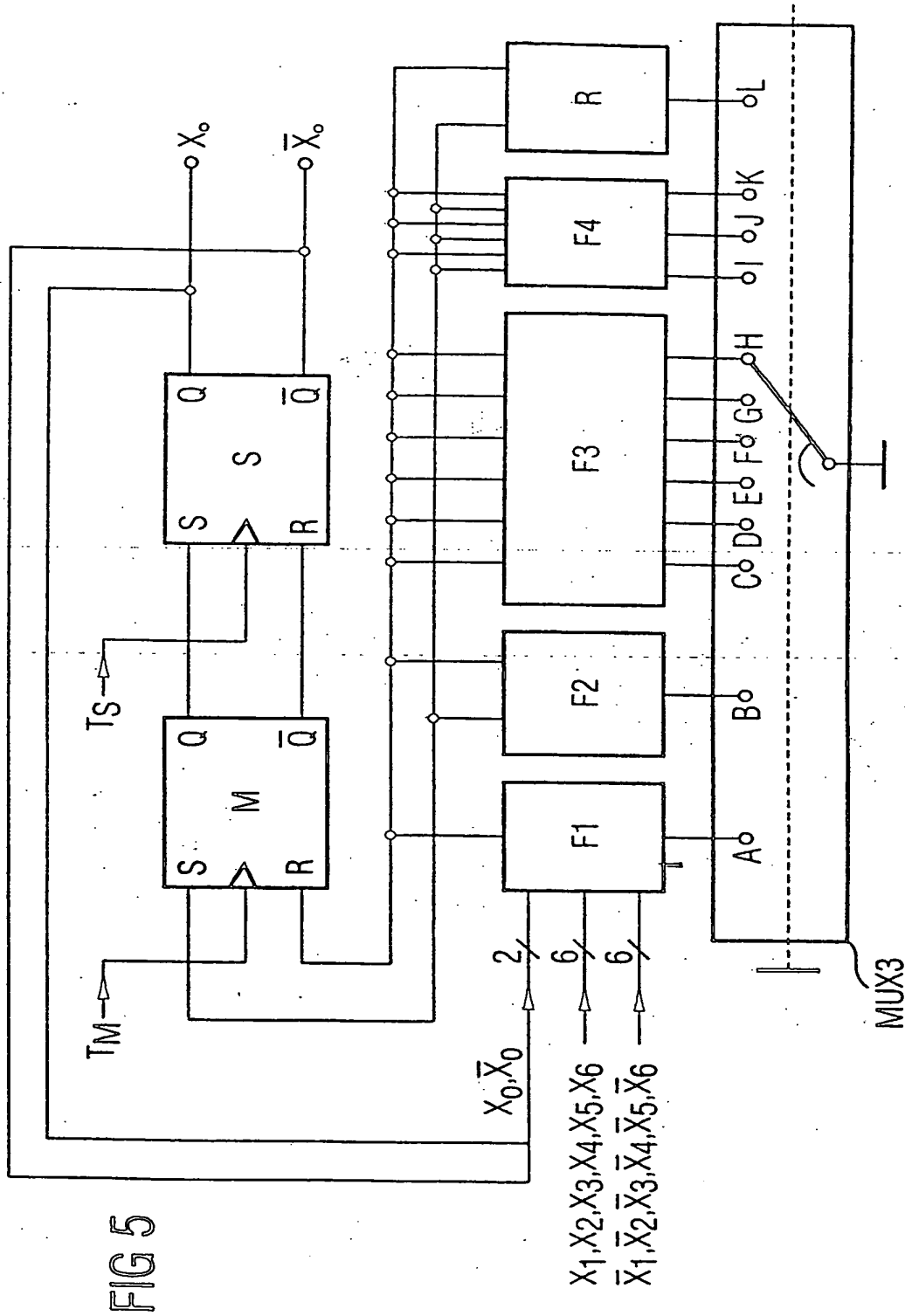
FIG 3D





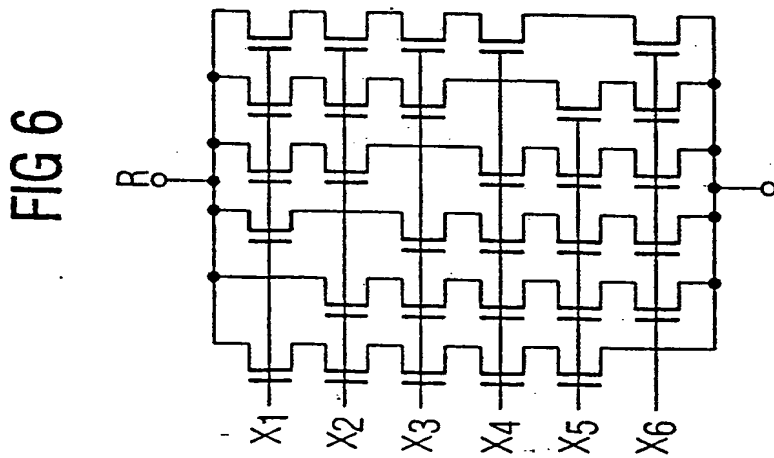
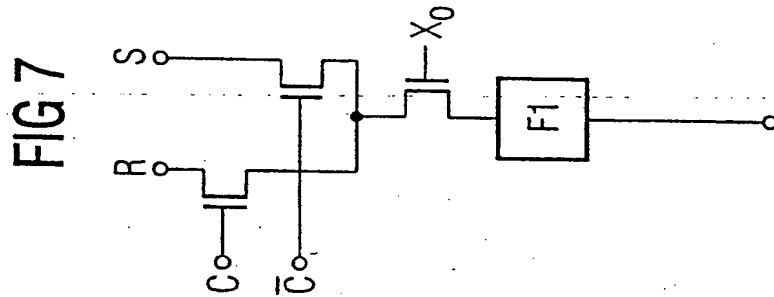
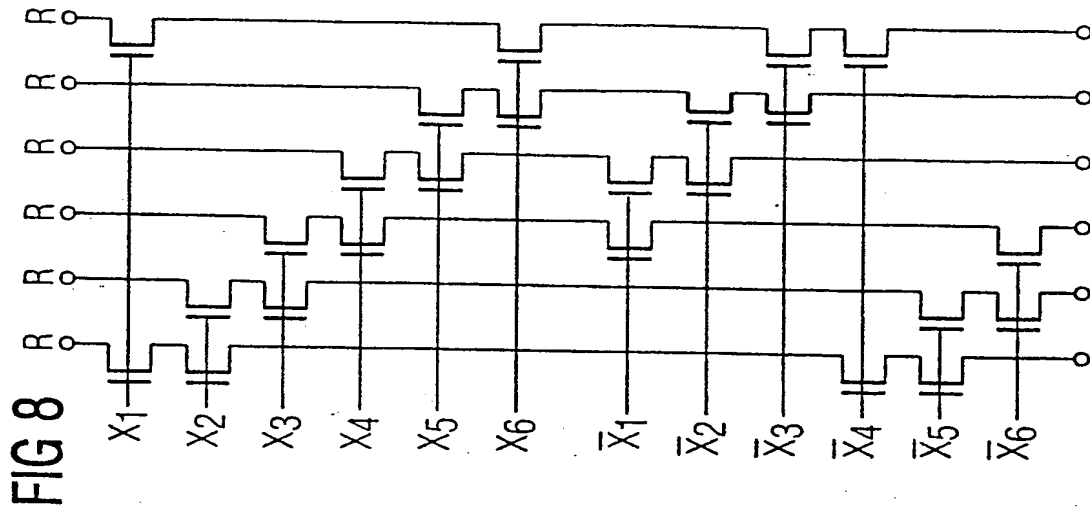
BEST AVAILABLE COPY

5/8



BEST AVAILABLE COPY

6/8



BEST AVAILABLE COPY

7/8

FIG 9

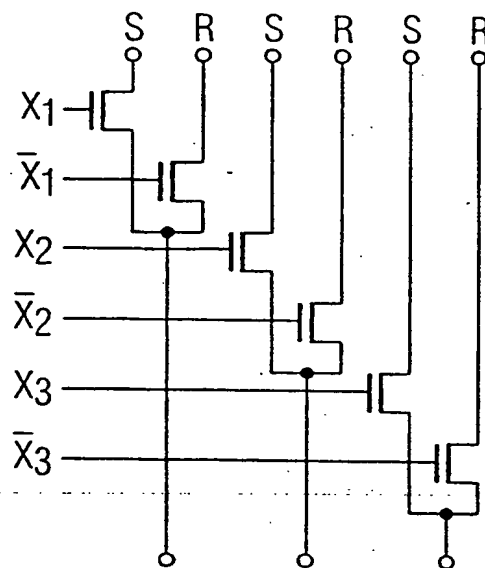
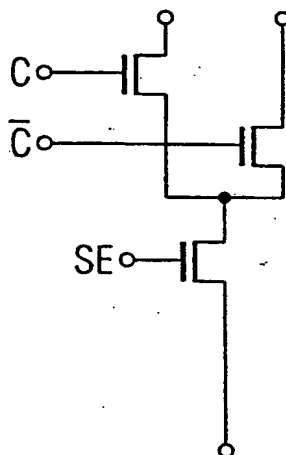


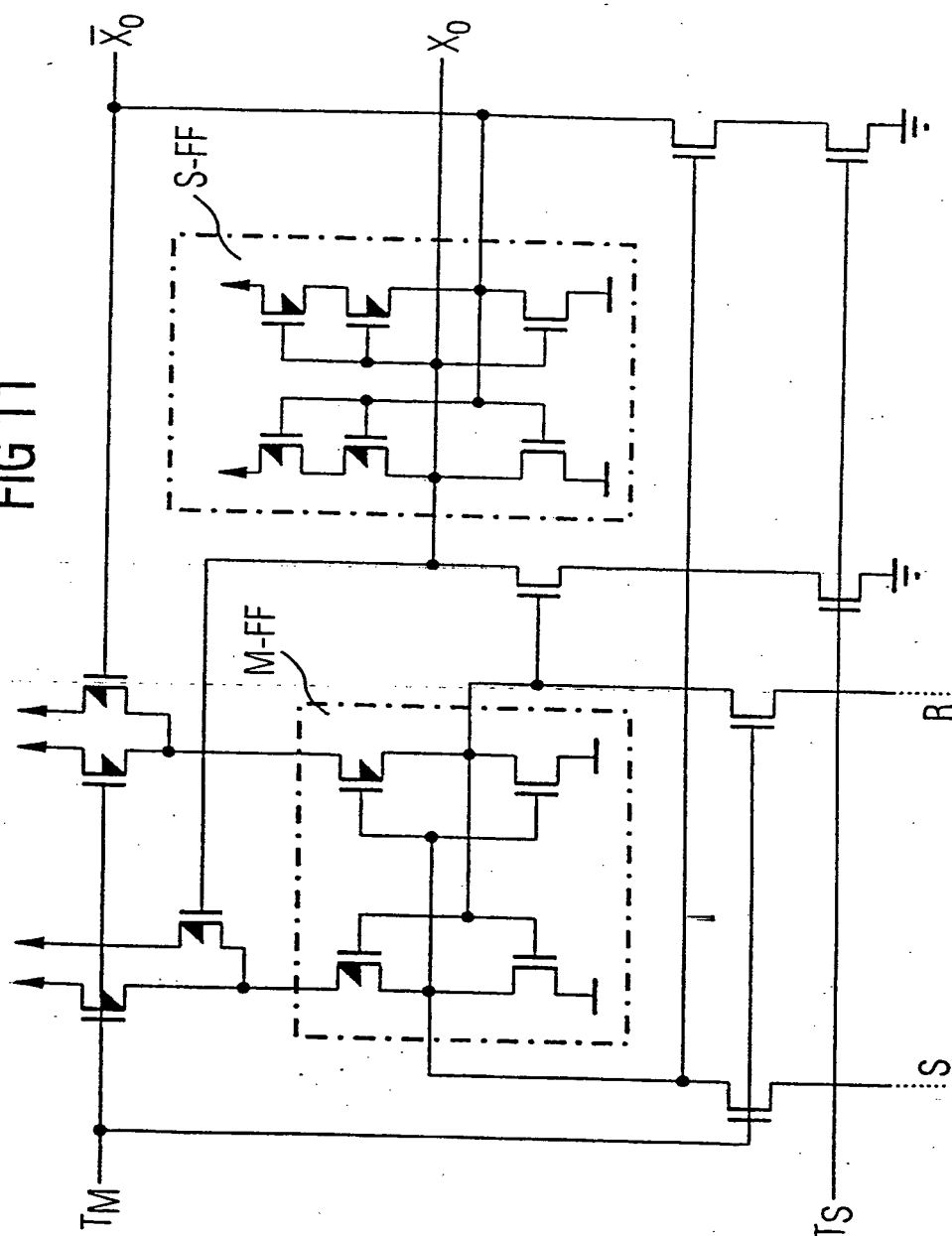
FIG 10



BEST AVAILABLE COPY

8/8

FIG 11



BEST AVAILABLE COPY

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 98/03660

A. CLASSIFICATION OF SUBJECT MATTER

IPC 6 G06K9/56

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 G06K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 792 982 A (DEVOS FRANCIS ET AL) 20 December 1988	1-5
Y	see abstract see column 4, line 7 - line 20	6-10
Y	B. H. MCCORMICK: "The Illinois Pattern Recognition Computer - ILLIAC III" IEEE TRANSACTIONS ON ELECTRONIC COMPUTERS, vol. EC-12, no. 12, December 1963, XP002101346 see page 800, right-hand column, line 11 - line 53	6,7

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "S" document member of the same patent family

Date of the actual completion of the international search

28 April 1999

Date of mailing of the international search report

18/05/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl.
Fax: (+31-70) 340-3016

Authorized officer

Sonius, M

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/DE 98/03660

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	<p>TREMBLAY M ET AL: "MAR: AN INTEGRATED SYSTEM FOR FOCAL PLANE EDGE TRACKING WITH PARALLEL ANALOG PROCESSING AND BUILT-IN PRIMITIVES FOR IMAGE ACQUISITION AND ANALYSIS"</p> <p>PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON PATTERN RECOGNITION, ATLANTIC CITY, JUNE 16 - 21, 1990, vol. 2, no. CONF. 10, 16 June 1990, pages 292-298, XP000166504</p> <p>INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS</p> <p>see page 294, left-hand column, line 1 - right-hand column, paragraph 2</p>	8-10
A	<p>US 5 206 916 A (CASTELAZ PATRICK F)</p> <p>27 April 1993</p> <p>see abstract</p>	1
A	<p>US 4 060 713 A (GOLAY MARCEL J E)</p> <p>29 November 1977</p> <p>see abstract</p>	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

I national Application No

PCT/DE 98/03660

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 4792982	A	20-12-1988	FR 2583602 A	19-12-1986
			EP 0211702 A	25-02-1987
			JP 7095342 B	11-10-1995
			JP 62006384 A	13-01-1987
US 5206916	A	27-04-1993	NONE	
US 4060713	A	29-11-1977	NONE	

INTERNATIONALER RECHERCHENBERICHT

ationales Aktenzeichen

PCT/DE 98/03660

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 G06K9/56

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 6 G06K

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 4 792 982 A (DEVOS FRANCIS ET AL) 20. Dezember 1988	1-5
Y	siehe Zusammenfassung siehe Spalte 4, Zeile 7 - Zeile 20	6-10
Y	B. H. MCCORMICK: "The Illinois Pattern Recognition Computer - ILLIAC III" IEEE TRANSACTIONS ON ELECTRONIC COMPUTERS, Bd. EC-12, Nr. 12, Dezember 1963, XP002101346 siehe Seite 800, rechte Spalte, Zeile 11 - Zeile 53	6,7

-/-

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

28. April 1999

Absendedatum des internationalen Recherchenberichts

18/05/1999

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Sonius, M

BEST AVAILABLE COPY

INTERNATIONALER RECHERCHENBERICHT

I. rationales Aktenzeichen

PCT/DE 98/03660

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	<p>TREMBLAY M ET AL: "MAR: AN INTEGRATED SYSTEM FOR FOCAL PLANE EDGE TRACKING WITH PARALLEL ANALOG PROCESSING AND BUILT-IN PRIMITIVES FOR IMAGE ACQUISITION AND ANALYSIS"</p> <p>PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON PATTERN RECOGNITION, ATLANTIC CITY, JUNE 16 - 21, 1990; Bd. 2, Nr. CONF. 10, 16. Juni 1990, Seiten 292-298, XP000166504</p> <p>INSTITUTE OF ELECTRICAL AND ELECTRONICS ENGINEERS</p> <p>siehe Seite 294, linke Spalte, Zeile 1 - rechte Spalte, Absatz 2</p>	8-10
A	<p>US 5 206 916 A (CASTELAZ PATRICK F)</p> <p>27. April 1993</p> <p>siehe Zusammenfassung</p>	1
A	<p>US 4 060 713 A (GOLAY MARCEL J E)</p> <p>29. November 1977</p> <p>siehe Zusammenfassung</p>	1

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

I. Internationales Aktenzeichen

PCT/DE 98/03660

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 4792982 A	20-12-1988	FR 2583602 A	19-12-1986
		EP 0211702 A	25-02-1987
		JP 7095342 B	11-10-1995
		JP 62006384 A	13-01-1987
US 5206916 A	27-04-1993	KEINE	
US 4060713 A	29-11-1977	KEINE	